

BEST AVAILABLE COPY

PAT-NO: JP360020578A

DOCUMENT-IDENTIFIER: JP 60020578 A

TITLE: INSULATED GATE SEMICONDUCTOR DEVICE AND
MANUFACTURE THEREOF

PUBN-DATE: February 1, 1985

INVENTOR- INFORMATION:

NAME

TAKAHASHI, KENJI
TANIZAKI, YASUNOBU

ASSIGNEE- INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP58127638

APPL-DATE: July 15, 1983

INT-CL (IPC): H01L029/78, H01L021/94 , H01L029/60

US-CL-CURRENT: 257/E29.021, 257/E29.063 , 257/E29.27 , 438/522 ,
438/FOR.156

ABSTRACT:

PURPOSE: To improve high-frequency properties f_T , saturation properties and etc, by forming a thick oxide film between a drain terminal and a gate electrode by high-pressure oxidation and by forming the p<SP>+</SP> type region of the same conductive type as the substrate right under the channel part.

CONSTITUTION: By forming a thick insulating film 8 of about $1\mu m$ thick between source and drain terminals and a gate electrode 5 by selective oxidation, the capacitance of the gate and drain CGD is reduced

thereby improving fT. Furthermore, by forming the p<SP>+</SP> type buried region 9 of higher concentration than that of the substrate's conductive type in the p<SP>-</SP> type semiconductor substrate right under the channel part by ion implantation, e.g. of boron, a depletion layer 7 extends as shown by the broken line when a gate voltage VG is applied, so as to restrain a punch-through and to reduce the saturation properties which is peculiar to a short channel. At this time, the source and drain current flows in ID direction designated by the arrow through the channel part into the drain.

COPYRIGHT: (C)1985,JPO&Japio

⑯ 日本国特許庁 (JP) ⑮ 特許出願公開
 ⑯ 公開特許公報 (A) 昭60—20578

⑯ Int. Cl.⁴
 H 01 L 29/78
 // H 01 L 21/94
 29/60

識別記号 庁内整理番号
 7377—5F
 7739—5F

⑯ 公開 昭和60年(1985)2月1日
 発明の数 2
 審査請求 未請求

(全 6 頁)

⑯ 絶縁ゲート半導体装置とその製造法
 ⑯ 特 願 昭58—127638
 ⑯ 出 願 昭58(1983)7月15日
 ⑯ 発明者 高橋健治
 高崎市西横手町111番地株式会社
 日立製作所高崎工場内

⑯ 発明者 谷崎泰信
 高崎市西横手町111番地株式会社
 日立製作所高崎工場内
 ⑯ 出願人 株式会社日立製作所
 東京都千代田区神田駿河台4丁目6番地
 ⑯ 代理人 弁理士 高橋明夫 外1名

明細書

発明の名称 絶縁ゲート半導体装置とその製造法

特許請求の範囲

- 半導体基体の一主表面に基体の導電型と逆の導電型の領域がソース・ドレインとして形成され、このソース・ドレイン間の半導体基体表面をチャネル部としてその上に絶縁膜を介してゲート電極が形成された絶縁ゲート電界効果トランジスタを有する半導体装置であつて、上記ゲート電極が形成された絶縁膜の少なくともドレインと接する部分は選択酸化により形成された厚膜であるとともに、チャネル部直下の半導体基体内に基体と同じ導電型の高濃度埋込領域が形成されていることを特徴とする絶縁ゲート半導体装置。
- 半導体基体は低濃度P型シリコンからなり、ソース・ドレインとなる半導体領域は高濃度N型領域である特許請求の範囲第1項に記載の絶縁ゲート半導体装置。
- 半導体基体の一主表面に基体の導電型と逆の

導電型の領域をソース・ドレインとして形成する工程と、上記ソース・ドレインにはされた基体の表面上に半導体酸化膜を介してゲート電極を形成する工程とを含む絶縁ゲート半導体装置の製造法であつて、ゲートとソース・ドレインとなる領域の間に選択酸化による厚膜酸化膜を形成し、この厚膜酸化膜をマスクとしてソース・ドレイン間の基体内に高濃度の不純物を導入し、基体と同じ導電型の高濃度埋込領域を形成することを特徴とする絶縁ゲート半導体装置の製造法。

- 上記厚膜酸化膜は半導体基体表面上に部分的に形成した半導体酸化膜をマスクとして半導体基体表面の一部を高圧酸化することにより選択的に形成する特許請求の範囲第3項に記載の絶縁ゲート半導体装置の製造法。

発明の詳細な説明

〔技術分野〕

本発明は絶縁ゲート電界効果トランジスタ(MOSFET)を有する半導体装置のショット(短)チャネル化技術に関する。

メモリの高密度化、微細化に併し、MOSFETにおいてショート・チャネル化がすすみ、ゲート・ドレイン容量増大、 V_{th} 低下あるいはパンチスルーよりとショート・チャネル効果が問題となつてゐる。

第1図にプレーナ型のnチャネルMOSFETが示され、1はp型Si基体、2はソースロ+型領域、3はドレインn+型領域、4はゲート絶縁膜、5はゲート電極となる導体（金属又はボリSi）層であつて、ゲート電圧 V_g が印加される。ソース・ドレイン表面にA,B(アルミニウム)電極S,Dが設けられる。

このような構造のMOSFETにおいて、チャネル長しが2μm以下であるとすると、ドレイン電圧 V_D を大きくしていくと、ドレイン端の反転層がなくなり、空乏層のみができる状態となる。それで、ドレインに接する絶縁膜4が薄い(500~800Å)ことによりゲート・ドレイン間容量 C_{GD} が大きく、したがつて周波数特性 f_T を大きくすることが困難である。又、ドレイン端での電界集

中により降伏電圧 BV_{DS} が低下し、 V_T が低下する。さらにゲート電圧印加によって空乏層7が第1図に破線で示すような形に伸びてパンチスルーが起りやすく、十分な飽和特性が得られない。すなわち、この場合第2図において破線で示すような $V_{DS}-I_{SD}$ 特性を生じることになった。

〔発明の目的〕

本発明の目的とするところは、上記したMOSFETにおけるショート・チャネル効果を低減するためのものであつて、すなわち、ショート・チャネルMOSFETにおいて f_T を向上し、降伏電圧を高めるとともに飽和特性を改善することにある。

〔発明の概要〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、MOSFETにおいて、チャネル部直下の基体内にこの基体（たとえばp-型）と同導電型高濃度（たとえばp+型）の埋込領域を形

成することによって空乏層のパンチスルーを抑えるようにし、又、ゲートが形成された絶縁膜の少なくともドレインと接する部分を選択酸化による厚膜部とすることにより、ゲート・ドレイン容量を低減し、もつてショート・チャネル効果の低減を図つたものである。

〔実施例〕

第3図は本発明の一実施例であつて、チャネル長2μmのnチャネルMOSFETの原理的構造を示す断面図である。

同図における構成部分であつて前掲第1図における構成部分と共に通する部分は、第1図と同一指標番号記号が用いられる。

この実施例では、ソース・ドレイン端（少なくともドレイン端）とゲート電極5との間に選択酸化による1μm程度の厚膜の絶縁膜8を形成することにより、ゲート・ドレイン容量 C_{GD} を低減し、もつて f_T を向上させる。

さらに、この実施例では、チャネル部直下のp-型半導体基体内に薄い導電型よりも高濃度

のp+型埋込領域9をたとえばB(ガロン)のイオン打込みにより形成することにより、ゲート電圧 V_g 印加時空乏層7が同図の破線で示す形に伸びて、パンチスルーを抑制してショート・チャネルに特有の不飽和特性を低減する。このときのソース・ドレイン電流は、矢印 I_D 方向にそってチャネル部を通ってドレインに流れる。

なお、点線7はp+型領域9を形成しない場合の空乏層ののみの形態を示し、ショート・チャネル時に同図の矢印 I_D' で示す電流成分が無視することができず、第2図の破線で示す分のリタ特性となる。この I_D' 成分は、空乏層の断面積に比例するものである。実施例で説明した本発明によれば空乏層のパンチスルーがおさえられることで I_D' 成分が低減される。

第4図~第8図は、本発明の一実施例であつてエンハンスマードnチャネルMOSFETの製造プロセスを示す工程断面図である。各工程は下記のように行われる。

(II) p-型Si基体(サブストレート)1の主

表面上に形成した Si_3N_4 (シリコン窒化物) 膜10をマスクとして As (ヒ素), P (リン) 等を高濃度イオン打込みし拡散することにより n^+ 型領域2, 3を、ソース・ドレインとして形成する。(第4図)。

- (2) Si_3N_4 膜10を取り除き、 n^+ 型領域2, 3上に新たに形成した Si_3N_4 膜11をマスクとして n^+ 型領域にはさまれた基体表面に酸化膜12を通して低濃度に As 等をイオン打込みしチャネル部となる部分に p^- 型層13を形成する(第5図)。
- (3) 前記 Si_3N_4 膜11を取り除き、新たに Si_3N_4 膜14を形成しS-I基体の一部を露出した状態でS-I表面を0.5 μm 程度エッチャして後高圧酸化を行なって上記露出部分のS-Iを過酸化し、厚さ1 μm 程度の厚膜酸化膜(SiO_2 膜)8を形成する。この厚い酸化膜8は第6図に示すようにドレイン側においてはゲートとの境界部(n^+ 型領域3とチャネル部 p^- 型層13との境)に形成されるが、ソース側では n^+ 型領域2の内側にくるように形成される。

(1) 第10図に示すように p^- 型S-I基体1の一主表面上に薄い酸化膜(SiO_2 膜)12を介してナイトライド膜(Si_3N_4 膜)14を形成したものを利用する。

- (2) 第11図に示すようにホトレジスト処理により上側の Si_3N_4 膜14の一部を露出し、 P (リン)をイオン打込みして SiO_2 膜12を通してS-I基体表面にPを導入してアニールすることにより n^+ 型領域16を形成する。

(3) Si_3N_4 膜をマスクにして高圧酸化を行って p^+ 型領域16の上に厚い酸化膜8を形成した後、第12図に示すようにソース・ドレインとなる領域上にホトレジスト等によるマスク17を形成した状態で高濃度B(ボロン)をイオン打込みし SiO_2 膜12を通して p^- 型基板1内のBを拡散して p^+ 型領域9を形成する。この後、第13図に示すようにS-Iをデポジットしてボラフ Si 層18を形成し、ホトエッチすることによりボラフ Si ゲート18を形成する。

(4) ソース・ドレイン表面の Si_3N_4 膜を取り除いて酸化しフィールド酸化膜15を形成する(第7図)。

(5) チャネル部上の Si_3N_4 膜を取り除き、表面エッチングゲート酸化を行ってゲート絶縁膜(厚さ800Å)を形成する。この後、ゲート絶縁膜4を通してBイオン打込みし、チャネル部となる p^- 型層13直下のS-I基体内に深く高濃度に導入したBをアニールにより拡散して第8図に示すよう n^+ 型領域9を高圧酸化膜で囲まれた領域内にセルフアラインで形成する。

この後、ソース・ドレイン表面のコンタクトホトエッチを行いAl_x (アルミニウム)を蒸着しペターニングすることにより第9図に示すような電極S, Dを有するロチャネルMOSFETを完成する。

第10図～第14図は本発明の他の一実施例であつて、デブレッシャンモードロチャネルMOSFETの製造プロセスを示す工程断面図である。各工程は下記のように行われる。

(5) 厚い酸化膜8及びボラフ Si ゲート18をマスクとしてP(リン)をイオン打込み、アニールして第14図に示すように基体表面に n^+ 型領域2, 3を拡散しセルフアラインでソース・ドレインを形成する。

この後、全面PSG(リン・シリケートガラス)膜(図示されない)を形成し、コンタクトホトエッチの後、Al_xを蒸着しペターニングすることによりロチャネルMOSFETを完成する。

〔効果〕

以上実施例により説明した本発明によれば、下記の効果が得られる。

(1) ソース・ドレイン端、又は少なくともドレイン端とゲート電極との間に高圧酸化による厚い酸化膜を形成することによりゲート・ドレイン容量を小さくすることができ高周波特性f_Tを向上することができる。

(2) チャネル部直下に基体と同じ導電型の p^+ 型領域を形成したことにより、空乏層のパンチスルーカーを抑え、飽和特性を向上できる。

(3) ソース・ドレイン端とゲート電極との間に形成した厚膜絶縁膜をマスクとして基体内深く不純物を導入することにより、チャネル部直下に基体と同じ導電型高濃度領域をセルフアラインで形成することができ、ショートチャネルMOSFETであつてショートチャネル効果を低減することができる。第9図はゲート長Lとソース・ドレイン電圧 V_{DS} との関係を示し、実線はチャネル下 p^+ 領域を形成する本発明のMOSFETの場合、破線はチャネル下に p^+ 領域を形成しない場合の V_{DS} 曲線を示す。

(4) チャネル部直下に基体と同じ導電型の p^+ 型領域を形成したことより、この部分の比抵抗が低下し、降伏電圧を向上できる。

以上本発明者によつてなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

(利用分野)

本発明は、ショートチャネルMOSFETを有するIC(LSI)の全てに適用でき、特にメモリ、MOSオペアンプ用のIC(LSI)に応用して有効である。

図面の簡単な説明

第1図はショートチャネルMOSFETの一例を示す断面図である。

第2図はMOSFETにおけるショートチャネル効果を示す $V_{DS} - I_{SD}$ 特性を示す曲線図である。

第3図は本発明の一実施例であつてショートチャネルMOSFETの原理的構造を示す断面図である。

第4図～第8図は本発明の一実施例であつてMOSFETの製造プロセスを示す工程断面図である。

第9図は、ショートチャネルMOSFETにおけるゲート長とソース・ドレイン電圧との関係を示す曲線図である。

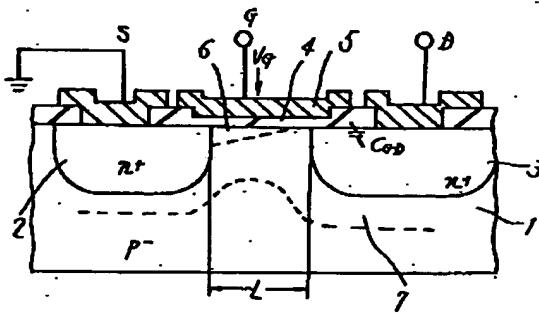
第10図～第14図は、本発明の他の一実施例であつて、MOSFETの製造プロセスを示す工

程断面図である。

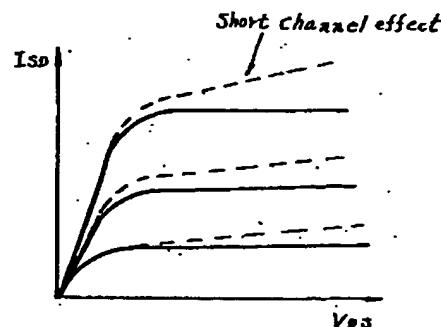
1… p 型Si基体、2…ソース n^+ 埋め込み領域、3…ドレイン n^+ 埋め込み領域、4…ゲート絶縁膜(SiO₂膜)、5…ゲート電極、6…チャネル部、7…空乏層、8…厚膜絶縁膜、9…高濃度 p^+ 埋め込み領域、10, 11…Si₃N₄膜、12…酸化膜、13…チャネル部 p^+ 埋め込み層、14…Si₃N₄膜、15…フィールド氧化膜、16… n^+ 埋め込み領域、17…ホトレジストマスク、18…ポリシリコンゲート。

代理人弁理士 高橋明夫

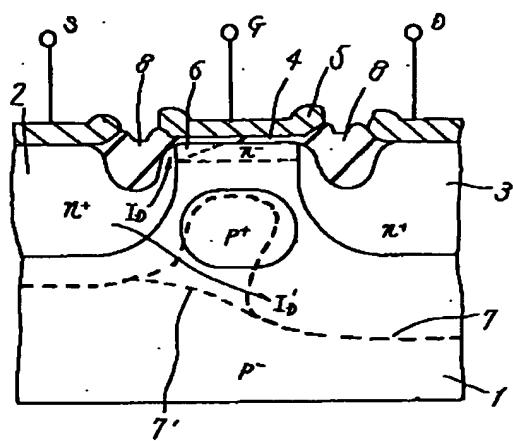
第1図



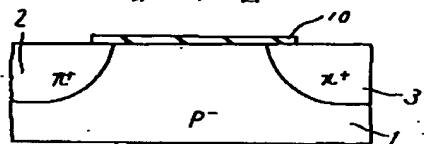
第2図



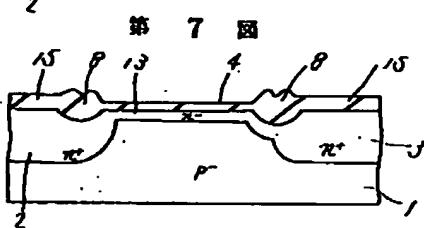
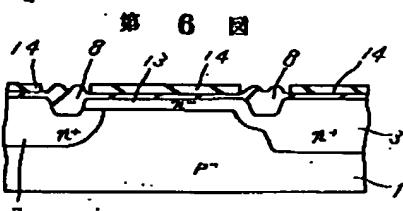
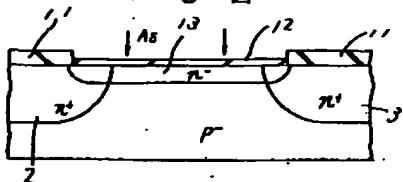
第 3 図



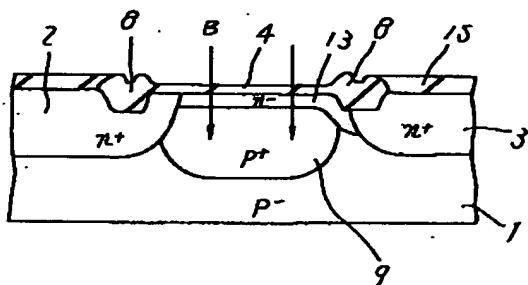
第 4 図



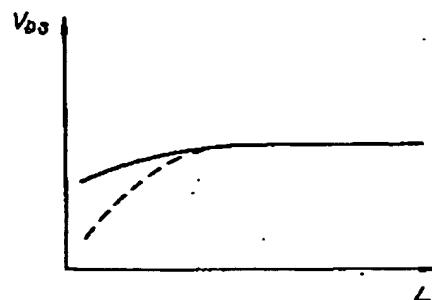
第 5 図

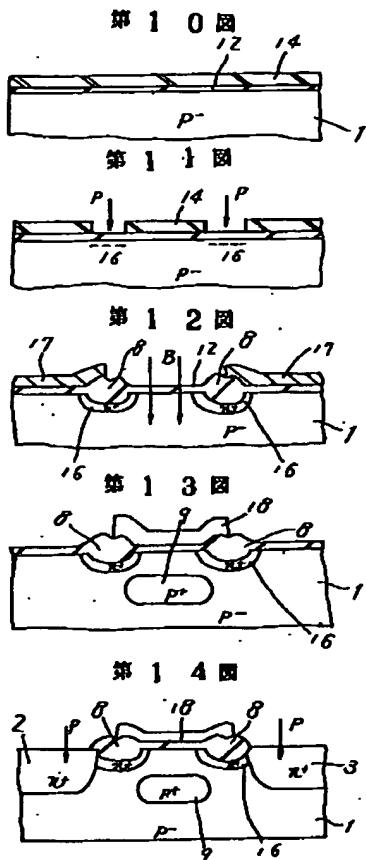


第 8 図



第 9 図





**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.